

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-326200

(43)Date of publication of application : 16.12.1997

(51)Int.Cl.

G11C 16/06
 G11C 11/22
 H01L 27/115
 H01L 27/10
 H01L 21/8247
 H01L 29/788
 H01L 29/792

(21)Application number : 08-143924

(71)Applicant : NEC CORP

(22)Date of filing : 06.06.1996

(72)Inventor : KATO ARIMITSU

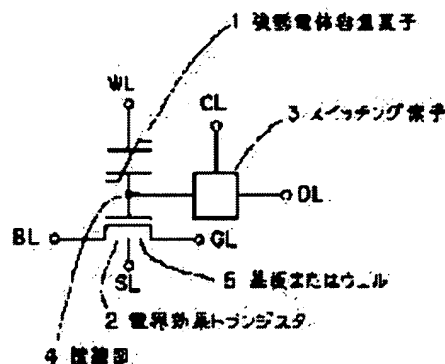
(54) NONVOLATILE SEMICONDUCTOR MEMORY DEVICE AND DRIVING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To recover data at the time of turning power on and also to compensate in accumulated charge by a refresh function in a memory having a ferroelectric capacitance at a gate part.

SOLUTION: The electrode of one side of a ferroelectric capacitance element 1 is connected to the gate of an FET 2 and its connection part 4 is connected to a switching element 3 which is controlled by a control line CL and whose terminal of one side is connected to a potential imparting wiring DL. The electrode of other side of the capacitance element 1 is connected to a word line WL and the source and the drain of the FET 2 are respectively connected to a common potential line GL and a bit line BL. Readout is preformed by impressing a

voltage by the bit line BL and by detecting a voltage change due to a drain current. Writing is performed by impressing a voltage between the bit line BL and the word line WL. Refreshing is performed by performing the readout/writing periodically. At the time of turning power on, the data before power is turned off are discriminated by whether a polarization inversion is generated or not while impressing a voltage from the word line WL to the capacitance element



1.

LEGAL STATUS

[Date of request for examination] 06.06.1996

[Date of sending the examiner's decision of rejection] 15.04.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2982692

[Date of registration] 24.09.1999

[Number of appeal against examiner's decision of rejection] 11-08283

[Date of requesting appeal against examiner's decision of rejection] 17.05.1999

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] A ferroelectric capacitive element and the field-effect transistor by which the gate electrode was connected to one electrode of this ferroelectric capacitive element, The switching element which has the 1st and 2nd terminals and control gate terminals and by which the 2nd terminal was connected to the gate electrode of said field-effect transistor, It is the memory apparatus which comes to arrange the memory cell which **** in the shape of a matrix. The electrode of another side of said ferroelectric capacitive element is connected to a word line. The source of said field-effect transistor for a common potential terminal The drain is connected to the 1st bit line through the 2nd switching element by which the direct or control gate terminal was connected to the 2nd word line. Non-volatile semiconductor memory equipment characterized by connecting the 1st terminal of said switching element to the 2nd bit line, and connecting the control gate terminal to said word line and the control line which runs to parallel.

[Claim 2] Non-volatile semiconductor memory equipment according to claim 1 characterized by said 1st bit line serving as said 2nd bit line.

[Claim 3] Non-volatile semiconductor memory equipment according to claim 1 characterized by forming one [said] electrode of said ferroelectric capacitive element in one with said gate electrode of said field-effect transistor.

[Claim 4] Non-volatile semiconductor memory equipment according to claim 1 characterized by having the function to perform starting processing written in the memory cell which operates said ferroelectric capacitive element to a power up so that it may be in one polarization condition, reads stored data to it by judging whether reversal of polarization took place at this time, and corresponds these read-out data to it.

[Claim 5] Non-volatile semiconductor memory equipment according to claim 1 characterized by having the refresh function which reads the stored data of said memory cell within fixed time amount progress, and writes this read-out data in the memory cell concerned.

[Claim 6] A ferroelectric capacitive element and the field-effect transistor by which the gate electrode was connected to one electrode of this ferroelectric capacitive element, The switching element which has the 1st and 2nd terminals and control gate terminals and by which the 2nd terminal was connected to the gate electrode of said field-effect transistor, The memory cell which **** is arranged in the shape of a matrix, and the electrode of another side of said ferroelectric capacitive element is connected to a word line. The source of said field-effect transistor is connected to the 1st bit line through the 2nd switching element by which the drain was connected to the common potential terminal, and the direct or control gate terminal was connected to the 2nd word line. Where it is the drive approach of a memory apparatus that the 1st terminal of said switching element is connected to the 2nd bit line, and the control gate terminal is connected to said word line and the control line which runs to parallel and said word line is made into a low-battery condition After giving a predetermined electrical potential difference to the gate electrode of said field-effect transistor through said 2nd bit line The drive approach of the non-volatile semiconductor memory equipment characterized by reading stored data using electrical-

potential-difference change which impresses the high voltage which can reverse the polarization condition of the ferroelectric of the ferroelectric capacitive element by which polarization was carried out to said word line in the opposite direction, and is produced in said gate electrode at this time.

[Claim 7] The drive approach of the non-volatile semiconductor memory equipment according to claim 6 characterized by reading said stored data detecting electrical-potential-difference change produced in said gate electrode through said 2nd bit line, or by detecting electrical-potential-difference change which originates in the drain current of said field-effect transistor through the 1st bit line.

[Claim 8] The drive approach of the non-volatile semiconductor memory equipment characterized by performing data read-out according to claim 6 after powering on, and performing starting processing written in the memory cell which corresponds this read-out data.

[Claim 9] The drive approach of the non-volatile semiconductor memory equipment according to claim 8 characterized by writing in stored data by impressing the electrical potential difference according to stored data to the drain of said field-effect transistor through the 1st bit line, once pulling up said word line from a low battery to the high voltage, and returning to a low battery again after considering as floating, where a predetermined electrical potential difference is impressed to the gate electrode of said field-effect transistor.

[Claim 10] When reversal does not take place to the polarization condition of said ferroelectric capacitive element at the time of read-out of stored data After giving the electrical potential difference corresponding to the stored data to the gate electrode of said field-effect transistor, this gate electrode is made into floating. When reversal takes place to the polarization condition of said ferroelectric capacitive element at the time of read-out of stored data The drive approach of the non-volatile semiconductor memory equipment according to claim 8 characterized by making this gate electrode into floating after reversing the polarization condition of this ferroelectric capacitive element, and giving the electrical potential difference corresponding to the stored data to the gate electrode of said field-effect transistor.

[Claim 11] A ferroelectric capacitive element and the field-effect transistor by which the gate electrode was connected to one electrode of this ferroelectric capacitive element, The switching element which has the 1st and 2nd terminals and control gate terminals and by which the 2nd terminal was connected to the gate electrode of said field-effect transistor, The memory cell which **** is arranged in the shape of a matrix, and the electrode of another side of said ferroelectric capacitive element is connected to a word line. The source of said field-effect transistor is connected to the 1st bit line through the 2nd switching element by which the drain was connected to the common potential terminal, and the direct or control gate terminal was connected to the 2nd word line. It is the drive approach of a memory apparatus that the 1st terminal of said switching element is connected to the 2nd bit line, and the control gate terminal is connected to said word line and the control line which runs to parallel. Make said switching element into an OFF state, and the electrical potential difference corresponding to the data which the drain of said field-effect transistor is made to memorize through said 1st bit line is impressed. The drive approach of the non-volatile semiconductor memory equipment characterized by writing in by once pulling up the electrical potential difference impressed to said word line from a low battery to the high voltage, and returning to a low battery again.

[Claim 12] The drive approach of the non-volatile semiconductor memory equipment according to claim 11 which makes said switching element an OFF state and is characterized by reading stored data by detecting the electrical-potential-difference change resulting from the drain current which impresses a predetermined electrical potential difference to the drain of said field-effect transistor through said 1st bit line, and flows at this time where a predetermined electrical potential difference is impressed to said word line.

[Claim 13] The drive approach of the non-volatile semiconductor memory equipment characterized by reading stored data within fixed time amount progress, and writing the read stored data in an applicable memory cell by the approach indicated by claim 11.

[Claim 14] A ferroelectric capacitive element and the field-effect transistor by which the gate electrode was connected to one electrode of this ferroelectric capacitive element, The switching element which

has the 1st and 2nd terminals and control gate terminals and by which the 2nd terminal was connected to the gate electrode of said field-effect transistor, The memory cell which **** is arranged in the shape of a matrix, and the electrode of another side of said ferroelectric capacitative element is connected to a word line. The source of said field-effect transistor is connected to the 1st bit line through the 2nd switching element by which the drain was connected to the common potential terminal, and the direct or control gate terminal was connected to the 2nd word line. It is the drive approach of a memory apparatus that the 1st terminal of said switching element is connected to the 2nd bit line, and the control gate terminal is connected to said word line and the control line which runs to parallel. The drive approach of the non-volatile semiconductor memory equipment characterized by performing refresh processing to which stored data is read within fixed time amount progress, and the electrical potential difference of the gate electrode of said field-effect transistor is returned to the electrical potential difference at the time of the original data writing according to the read data.

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-326200

(43) 公開日 平成9年(1997)12月16日

(51) Int. Cl. ⁶	識別記号	片内整理番号	P I	技術表示箇所
G 1 1 C 16/06			G 1 1 C 17/00	3 0 9 Z
11/22			11/22	
H 0 1 L 27/115			H 0 1 L 27/10	4 5 1
27/10	4 5 1			4 3 4
21/8247			29/78	3 7 1
審査請求 有 請求項の数14 O L (全 12 頁) 最終頁に続く				

(21) 出願番号 特願平8-143924

(22) 出願日 平成8年(1996)6月6日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 加藤 有光

東京都港区芝五丁目7番1号 日本電気株式会社社内

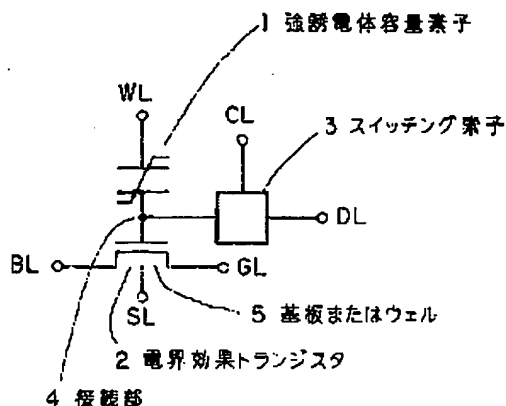
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 不揮発性半導体メモリ装置およびその駆動方法

(57) 【要約】

【目的】 強誘電体容量をゲート部に有するメモリにおいて、電源オン時にデータを回復できるようにする。リフレッシュ機能により蓄積電荷を消滅する。

【構成】 強誘電体容量素子1の一方の電極はFET2のゲートに接続され、その接続部4は、コントロールラインCLによって制御され、一方の端子が電位付与配線DLに接続されたスイッチング素子3に接続される。容量素子1の他方の電極はワード線WLに接続され、FET2のソースは共通電位線GLに、ドレインはビット線BLに接続される。読み出しはビット線BLにより電圧を印加しドレイン電流による電圧変化を検出することによって行う。書き込みはビット線BLとワード線WL間に電圧を印加して行う。定期的に読み出し／書き込みを行ってリフレッシュする。電源オン時には、ワード線WLより容量素子1に電圧を印加し、分極反転が生じたか否かによって電源オフ前のデータを判別する。



(2)

特開平9-326200

1

【特許請求の範囲】

【請求項1】 強誘電体容量素子と、該強誘電体容量素子の一方の電極にゲート電極が接続された電界効果トランジスタと、第1および第2の端子と制御ゲート端子とを有し前記電界効果トランジスタのゲート電極に第2の端子が接続されたスイッチング素子と、を有するメモリセルをマトリックス状に配置してなるメモリ装置であって、前記強誘電体容量素子の他方の電極がワード線に接続され、前記電界効果トランジスタのソースが共通電位端子に、そのドレインが直接または制御ゲート端子が第2のワード線に接続された第2のスイッチング素子を介して第1のビット線に接続され、前記スイッチング素子の第1の端子が第2のビット線に接続され、その制御ゲート端子が前記ワード線と平行に走る制御線に接続されていることを特徴とする不揮発性半導体メモリ装置。

【請求項2】 前記第1のビット線が前記第2のビット線を兼ねていることを特徴とする請求項1記載の不揮発性半導体メモリ装置。

【請求項3】 前記強誘電体容量素子の前記一方の電極が前記電界効果トランジスタの前記ゲート電極と一体的に形成されていることを特徴とする請求項1記載の不揮発性半導体メモリ装置。

【請求項4】 電源投入時に、前記強誘電体容量素子を一方の分極状態となるように操作し、このとき分極の反転が起こったか否かを判定することによって記憶データを読み出し、該読み出しデータを該当するメモリセルに書き込む立ち上げ処理を行う機能が備えられていることを特徴とする請求項1記載の不揮発性半導体メモリ装置。

【請求項5】 一定の時間経過以内に前記メモリセルの記憶データを読み出しこの読み出しデータを当該メモリセルに書き込むリフレッシュ機能が備えられていることを特徴とする請求項1記載の不揮発性半導体メモリ装置。

【請求項6】 強誘電体容量素子と、該強誘電体容量素子の一方の電極にゲート電極が接続された電界効果トランジスタと、第1および第2の端子と制御ゲート端子とを有し前記電界効果トランジスタのゲート電極に第2の端子が接続されたスイッチング素子と、を有するメモリセルがマトリックス状に配置され、前記強誘電体容量素子の他方の電極がワード線に接続され、前記電界効果トランジスタのソースが共通電位端子に、そのドレインが直接または制御ゲート端子が第2のワード線に接続された第2のスイッチング素子を介して第1のビット線に接続され、前記スイッチング素子の第1の端子が第2のビット線に接続され、その制御ゲート端子が前記ワード線と平行に走る制御線に接続されているメモリ装置の駆動方法であって、前記ワード線を低電圧状態とした状態で、前記第2のビット線を介して前記電界効果トランジスタのゲート電極に所定の電圧を付与した後に、前記ワ

2

ード線に反対方向に分極された強誘電体容量素子の強誘電体の分極状態を反転させることのできる高電圧を印加し、このとき前記ゲート電極に生じる電圧変化を利用して記憶データを読み出すことを特徴とする不揮発性半導体メモリ装置の駆動方法。

【請求項7】 前記ゲート電極に生じる電圧変化を前記第2のビット線を介して検出することにより、あるいは、第1のビット線を介して前記電界効果トランジスタのドレイン電流に起因する電圧変化を検出することにより、前記記憶データを読み出すことを特徴とする請求項6記載の不揮発性半導体メモリ装置の駆動方法。

【請求項8】 電源投入後に、請求項6記載のデータ読み出しを行い、この読み出しデータを該当するメモリセルに書き込む立ち上げ処理を行うことを特徴とする不揮発性半導体メモリ装置の駆動方法。

【請求項9】 前記電界効果トランジスタのゲート電極に所定の電圧を印加した状態でフローティング状態とした後、記憶データに応じた電圧を第1のビット線を介して前記電界効果トランジスタのドレインに印加し、前記ワード線を低電圧から一旦高電圧に引き上げ再び低電圧に戻すことによって記憶データの書き込みを行うことを特徴とする請求項8記載の不揮発性半導体メモリ装置の駆動方法。

【請求項10】 記憶データの読み出し時に前記強誘電体容量素子の分極状態に反転が起こらなかった場合には、前記電界効果トランジスタのゲート電極にその記憶データに対応する電圧を付与した後に該ゲート電極をフローティング状態とし、記憶データの読み出し時に前記強誘電体容量素子の分極状態に反転が起った場合には、該強誘電体容量素子の分極状態を反転させた後、前記電界効果トランジスタのゲート電極にその記憶データに対応する電圧を付与した後に該ゲート電極をフローティング状態とすることを特徴とする請求項8記載の不揮発性半導体メモリ装置の駆動方法。

【請求項11】 強誘電体容量素子と、該強誘電体容量素子の一方の電極にゲート電極が接続された電界効果トランジスタと、第1および第2の端子と制御ゲート端子とを有し前記電界効果トランジスタのゲート電極に第2の端子が接続されたスイッチング素子と、を有するメモリセルがマトリックス状に配置され、前記強誘電体容量素子の他方の電極がワード線に接続され、前記電界効果トランジスタのソースが共通電位端子に、そのドレインが直接または制御ゲート端子が第2のワード線に接続された第2のスイッチング素子を介して第1のビット線に接続され、前記スイッチング素子の第1の端子が第2のビット線に接続され、その制御ゲート端子が前記ワード線と平行に走る制御線に接続されているメモリ装置の駆動方法であって、前記スイッチング素子をオフ状態とし、前記電界効果トランジスタのドレインに前記第1のビット線を介して記憶させるデータに対応する電圧を印

(3)

特開平9-326200

3

加しておき、前記ワード線に印加する電圧を低電圧から一旦高電圧に引き上げ再び低電圧に戻して書き込みを行うことを特徴とする不揮発性半導体メモリ装置の駆動方法。

【請求項12】 前記スイッチング素子をオフ状態とし、前記ワード線に所定の電圧を印加した状態で、前記第1のビット線を介して前記電界効果トランジスタのドレインに所定の電圧を印加し、このとき流れるドレイン電流に起因する電圧変化を検出することによって記憶データの読み出しを行うことを特徴とする請求項1記載の不揮発性半導体メモリ装置の駆動方法。

【請求項13】 一定時間経過以内に記憶データの読み出しを行い、その読み出された記憶データを請求項11に記載された方法により該当メモリセルに書き込むことを特徴とする不揮発性半導体メモリ装置の駆動方法。

【請求項14】 強誘電体容量素子と、該強誘電体容量素子の一方の電極にゲート電極が接続された電界効果トランジスタと、第1および第2の端子と制御ゲート端子とを有し前記電界効果トランジスタのゲート電極に第2の端子が接続されたスイッチング素子と、を有するメモリセルがマトリックス状に配置され、前記強誘電体容量素子の他方の電極がワード線に接続され、前記電界効果トランジスタのソースが共通電位端子に、そのドレインが直接または制御ゲート端子が第2のワード線に接続された第2のスイッチング素子を介して第1のビット線に接続され、前記スイッチング素子の第1の端子が第2のビット線に接続され、その制御ゲート端子が前記ワード線と平行に走る制御線に接続されているメモリ装置の駆動方法であって、一定時間経過以内に、記憶データの読み出しを行い、その読み出したデータに従って前記電界効果トランジスタのゲート電極の電圧を当初のデータ書き込み時の電圧に復帰させるリフレッシュ処理を行うことを特徴とする不揮発性半導体メモリ装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は不揮発性半導体メモリ装置およびその駆動方法に関し、特に強誘電体容量素子を電界効果トランジスタのゲート部に配してなるメモリセルを有する不揮発性半導体メモリ装置とその駆動方法に関するものである。

【0002】

【従来の技術】 従来より、MOS型電界効果トランジスタ（以下、MOSFET: metal oxide semiconductor field effect transistor）のゲート部に強誘電体/導電体/常誘電体構造や強誘電体/導電体構造を配し、強誘電体の残留分極を利用してデータを記憶する不揮発性メモリ素子が提案されている。

【0003】 まず、ゲート部に強誘電体/導電体/常誘電体構造を用いた例を説明する。図6に、特開昭51-

4

108582号公報にて提案されたメモリ素子の断面構造を示す。図6の例では導電体として低抵抗化した多結晶シリコン膜24を用いており、p型シリコン基板18上に、酸化シリコン膜23、多結晶シリコン膜24、チタン酸ビスマスからなる強誘電体膜25、ゲート電極26が積層されている。多結晶シリコン膜24の両側のシリコン基板の表面には、n型ソース領域19とn型ドレイン領域20が形成されており、それぞれの領域にはソース電極21とドレイン電極22が接続されている。また、シリコン基板18の裏面にはオーミック電極27が形成されている。図7は、特開平5-145077号公報にて提案された強誘電体メモリセルの断面図である。図7の例では、導電体として金属を用いており、p型シリコンウェル29上に、SrTiO₃からなる高誘電体膜32、白金層33、PbTiO₃からなる強誘電体膜34、ゲート白金層35が積層される。高誘電体膜32の両側のp型シリコンウェル29の表面領域内には、n型ソース領域30とn型ドレイン領域31が形成されており、その間にはチャネル領域36が形成されている。

【0004】 図6、図7に示されたメモリセルではデータの書き込みはともに以下に行われる。基板（またはウェル）に一定の電圧を印加しこれに対してゲートに正（負）の電圧を印加する。これによりそのときの強誘電体膜内の電界に応じて強誘電体膜が分極する。この分極の大きさに応じてこの分極を消滅するため導電体膜（多結晶シリコン膜、白金層）の強誘電体膜側の表面には負（正）の電荷の蓄積が起り、これにともなって導電体膜の裏面側には反対極性の電荷が蓄積する。そしてこれに対応してシリコン基板の表面のチャネル領域に電子または正孔が誘起される。ゲート電圧を除去しても強誘電体の残留分極のため誘起された電荷はそのまま残り、これにより不揮発なメモリが構成される。読み出しの際はドレインに電圧を印加しドレイン電流の大小を見ることにより記憶データの判別を行う。このときゲートに電圧を印加する場合と、基板と同じ電位にする場合とがある。

【0005】 図8は、ゲート部に強誘電体/導電体の積層構造を用いた、特開平5-135570号公報にて提案されたメモリセルの断面図である。この例では、半導体としてGaAsを用い、その上に金属原子を含む導電体膜41、強誘電体膜42、ゲート上部電極43を積層する。導電体膜41の両側のp型GaAs基板37の表面領域内には、n型ソース領域38とn型ドレイン領域39が形成され、その間の基板表面にはn⁺拡散層40が形成されている。GaAsを用いた場合は金属原子を含む導電体膜と基板との間にショットキー障壁が形成されるため、両者は電気的に絶縁される。動作は前述のものと同じである。

【0006】 また、従来より、MOSFETのゲート電極と強誘電体容量素子の一方の電極とを接続し、この接

(4)

特開平9-326200

5

統部に電位を与える機構を持つ構造の不揮発性メモリ素子が提案されている。図9に特開平5-136378号公報にて提案された不揮発性メモリ装置の回路構成を示す。図9において、上段のワードラインWL1に接続されたセルに書き込む場合について説明する。ビットラインBL1に正の高電圧を印加し、他のビットラインBL2、…を接地して上段のメモリセルを選択する。そして、ワードラインWL1を接地し、ワードラインWL1'をオープン状態にするとともに、他のワードラインWL2~WL8およびWL2'~WL8'をすべて正電圧に設定する。これにより、上段のメモリセルのMOSトランジスタTr2~Tr8が導通状態となり、ビットラインBL1を通して印加された正の高電圧がMOSトランジスタTr1に作用する。その結果、強誘電体容量素子FC1を分極させることができる。これにより強誘電体容量素子にデータを書き込む。読み出しは例えば上段のメモリセルの第4ビットのデータを読み出す場合、ビットラインBL1に図示しない読み出し回路（センスアンプ）を接続し、他のビットラインBL2、…は非接続とする。

【0007】この状態で、ワードラインWL4を接地し、WL4'をオープン状態にし、他のワードラインをすべて正電圧に設定する。この結果、第4ビットのMOSトランジスタTr4は、強誘電体容量素子の分極状態によって、導通あるいは非導通状態になり、セレクトトランジスタSTrを含む他のトランジスタはすべて導通状態になるので、ビットラインBL1の電流を検出することによって、強誘電体容量素子FC4の分極状態（すなわちデータ）を読みとることができる。

【0008】

【発明が解決しようとする課題】上述のメモリ素子において、導電体（強誘電体容量素子の下側の電極およびこれに接続されたゲート電極）が絶縁膜中にフローティング状態に保持されている場合には殆ど問題にはならないが、この導電体膜を図9に示した場合のように、他の回路と接続して電圧を印加する用途に使用する場合には、使用中に導電体膜中の電荷が次第に失われることにより、さらに電極をオフした場合には急速に電荷が失われるために、読み出し時の信号が小さくなったり、信号がなくなってしまう、書き込んだデータの読み出しが困難になる。

【0009】以下、導電体膜中の電荷が失われる理由について説明する。図9に示された回路において用いられるメモリセルは、図7に示したものとは相違しているがここでは、図7のセルが図9において用いられているものとして説明する。上述したように、強誘電体膜34に分極が起こるとその電荷を補償するために、白金層33の上下面にそれぞれ正負の電荷が蓄積される。このうち上面に蓄積された電荷は強誘電体膜の分極電荷とヘラを形成するため電気的には中性になる。これに対し、下面

6

に蓄積された電荷は束縛された電荷ではないため、リークパスが存在していると漏れてしまい次第に失われる。而して、図7のセルが図9の回路において用いられる場合、白金層はワード線WL1'などに接続されることになるが、具体的には配線を介して制御トランジスタのソース・ドレイン領域に接続されることになる。通常の使用状態では、ソース・ドレイン領域は基板（またはウェル）に対して逆バイアスがかかるようになされ、一応リーク電流が発生しないように配慮されている。しかし、現実の半導体装置ではpn接合のリークを完全に抑えることは不可能で、そのため電荷が次第に失われることになる。

【0010】さらに、電極がオフされても、基板、ソース・ドレイン全体が接地された状態になるため、リークは流れる。ところで、このようなゲート部に導電体膜を有する不揮発性メモリでは、実際にトランジスタのチャネルに影響を及ぼすのは強誘電体膜そのものではなく導電体膜の下面に蓄積された電荷であるため、この電荷が失われると、分極が残っていてもデータが失われたことになってしまう。したがって、本発明の解決すべき課題は、ゲート部に制御回路に接続された導電体膜を有する強誘電体メモリセルにおいて、分極により導電体膜中に誘起された電荷が動作中および電極オフ時に漏れてもこれを回復しうるようにして、メモリ装置の不揮発性を確保するとともにデータ読み出しの信頼性を向上させることである。

【0011】

【課題を解決するための手段】本発明による不揮発性半導体メモリ装置は、強誘電体容量素子と、該強誘電体容量素子の一方の電極にゲート電極が接続された電界効果トランジスタと、第1および第2の端子と制御ゲート端子とを有し前記電界効果トランジスタのゲート電極に第2の端子が接続されたスイッチング素子と、を有するメモリセルをマトリクス状に配置してなるメモリ装置であって、前記強誘電体容量素子の他方の電極がワード線に接続され、前記電界効果トランジスタのソースが共通電位端子に、そのドレインが直接または制御ゲート端子が第2のワード線に接続された第2のスイッチング素子を介して第1のビット線に接続され、前記スイッチング素子の第1の端子が第2のビット線に接続され、その制御ゲート端子が前記ワード線と平行に走る制御線に接続されていることを特徴としている。そして、この不揮発性半導体メモリ装置には、①一定の時間経過以内に前記メモリセルの記憶データを読み出しこの読み出しデータを当該メモリセルに書き込むリフレッシュ機能と、②電極投入時に、前記強誘電体容量素子を一方の分極状態となるように操作し、このとき分極の反転が起こったか否かを判定することによって記憶データを読み出し、該読み出しデータを該当するメモリセルに書き込む立ち上げ処理を行う機能とが備えられている。

(5)

特開平9-326200

7

8

【0012】〔作用〕本発明のメモリ装置には、①リフレッシュ機能と、②電源投入時に、立ち上げ処理を行う機能とが備えられている。リフレッシュ機能は、一定の時間経過以内に前記メモリセルの記憶データを読み出し、この読み出しデータを当該メモリセルに書き込む機能であり、これにより使用中に失われた導電体膜（ゲート電極）中の誘起電荷を補償することができ、常に書き込み直後に近い状態を維持することができるため、読み出しの信頼性を向上させることができる。電源投入後の立ち上げ処理は、電源投入時に、前記強誘電体容量素子を一方の分極状態となるように操作し、このとき分極の反転が起こったか否かを判定することによって記憶データを読み出し、該読み出しデータを該当するメモリセルに書き込むものであり、この方式によれば、残留分極を利用して読み出しを行うため、導電体膜（ゲート電極）の束縛されていない電荷（導電体膜の下面に蓄積された電荷）がほとんど失われていても、読み出しが可能であり、したがって立ち上げ処理によって失われた電荷の補償が可能であり、不揮発性を維持することが可能になる。

【0013】

〔発明の実施の形態〕次に、本発明の実施の形態について図面を参照して詳細に説明する。本発明による不揮発性メモリ装置のメモリセル部は、図1に示すように、対向して配置された2つの電極とその間に挟まれた強誘電体膜とから構成される強誘電体容量素子1と、電界効果トランジスタ2と、スイッチング素子3を有する。強誘電体容量素子1の一方の電極は電界効果トランジスタ2のゲート電極と接続され、この接続部4は、スイッチング素子3を介してこの接続部4に所望の電位を与える電位付与配線DLに接続される。またスイッチング素子3の制御ゲートはコントロールラインCLに接続され、これによりオン/オフが制御される。強誘電体容量素子1の他方の電極はワード線WLに接続され、電界効果トランジスタ2のソースは共通電位線GLに、ドレインはビット線BLに接続される。また、トランジスタの形成される基板またはウェル5は基板電位線SLに接続される。なお、強誘電体容量素子1の一方の電極と電界効果トランジスタ2のゲート電極とは一体のものとして形成することができる。

【0014】図2は、スイッチング素子3の具体的構成例を示す断面図である。スイッチング素子3は、例えば基板またはウェル5上に形成されたMOSFETによって構成され、ソース・ドレインを構成する拡散層6の一方は、接続部4に接続され、他方は電位付与配線DLに接続される。また、ゲート電極はコントロールラインCLに接続される。

【0015】図3は、本発明の実施の形態を説明するための不揮発性半導体メモリ装置の主要部を示した回路ブロック図である。同図に示すように、本発明による不揮

発性半導体メモリ装置は、図1に示されたメモリセルをマトリックス状に配置・接続してなるメモリセルアレイ部9と、各配線WL、CL、DL、BL、GLおよびSLに電位を与える電位付与回路10と、電界効果トランジスタ2に流れる電流を検出しデータを判別するデータ判別回路11と、データの入出力制御する入出力制御回路12と、電源投入後に強誘電体容量素子1を分極反転させてデータを読み出す処理とデータを再書き込みする処理と再書き込みが完了するまで外部からのデータの読み書きを禁止する処理から成る処理を行う立ち上げ処理回路13と、この分極反転を利用して記憶データを識別するデータ識別回路14と、一定時間経過毎にメモリセルの記憶データを読み出し、このデータの再書き込みを行うリフレッシュ処理回路15とを有する。

【0016】〔書き込み〕次に、図1、図3を参照して、本発明による不揮発性半導体メモリ装置の駆動方法の実施の形態について詳細に説明する。書き込みを行う場合、スイッチング素子3をオフにして接続部4を電位付与配線DLから切り離す。その後、ワード線WLと、基板電位線SLやビット線BLとの間に強誘電体容量素子1内の強誘電体を分極させる電圧を印加する。ワード線WLとビット線BLとを選択することによりビットごとの書き込みが可能である。また、ワード線WLと複数のビット線を選択することによりワード線ごとに複数ビットの一括書き込みが可能である。この書き込み電圧を0Vに戻しても、強誘電体には残留分極が残るため、この残留分極により強誘電体容量素子1の接続部4側の電極に電荷が誘起される。接続部はフローティング状態にあるため電荷が中性の状態ではフローティングになっていれば、この誘起された電荷と同意で反対の極性をもつ電荷が接続部4と電界効果トランジスタ2のゲートに分布する。

【0017】〔読み出し〕この書き込みのあと、電源オンの状態のうちにデータを読み出す場合について説明する。強誘電体容量素子1の分極の方向によりゲートに誘起される電荷の極性が変わるため電界効果トランジスタ2のチャネルに誘起される電荷の密度が変化する。すなわち、電界効果トランジスタ2のしきい値電圧が変化することになり、ワード線WLにある読み出し電圧に設定したときにビット線BLに流れるドレイン電流が分極方向により変化することになる。このためドレイン電流の量を確認することで強誘電体容量素子1の分極の方向がわかり、分極を破壊することなく書き込まれたデータを判別できる。

【0018】〔立ち上げ処理〕次に、電源オフ状態から立ち上げた場合の処理について説明する。立ち上げ処理はデータの読み出し処理と再書き込み処理と読み出し処理および再書き込み処理が完了するまで外部からのデータの読み書きを禁止する処理から成る。前述したように、強誘電体の分極によって電界効果トランジスタ2の

(6)

特開平9-326200

9

ゲート電極（接続部4）に蓄積された電荷は、電源をオフした場合、時間がたつと殆ど失われてしまう。しかし、この状態でも強誘電体容量素子1には分極は残っているため、強誘電体の分極反転を利用すれば書き込まれているデータを読み出すことができる。この場合は強誘電体容量素子1の分極を破壊するためデータを再書き込みする必要がある。

【0019】このため、立ち上げ処理回路13には、立ち上げ処理が完了するまで外部からのデータの読み書きを禁止する機能と、強誘電体容量素子1に分極反転を起こす機能と、分極反転後にデータ識別回路14を介してデータを読みとる機能と、このデータを再書き込みする機能が備えられている。読み出しの第1の方法は、分極反転の有無によって生じる接続部4での電位の差をDLによって検出する方法である。まず、電位付与配線DLとワード線WLに同じ電位を与え、コントロールラインCLによりスイッチング素子3をオン状態とする。これで接続部4の電位をある電位に設定した後、DLをフローティング状態とする。その後、ワード線WLの電位を、強誘電体容量素子1が印加電圧と反対向きに分極していた場合には分極反転が起きる電圧以上に上げ、次いで適当な電圧に下げる。これにより分極反転が起きていない場合はDLの電位は強誘電体容量素子とDLの配線容量でWLの電圧が分割された値となるが、分極反転が起きた場合にはその分の電荷が加わってDLの電位が決まる。このときのDLの電位と、この2つの値の中間の電位をセンスアンプに与えて比較すれば書き込まれていたデータがわかる。

【0020】次に、立ち上げ処理における読み出し動作の2番目の方法について説明する。ワード線WLの電位を強誘電体容量素子1が印加電圧と反対向きに分極していた場合分極反転が起きる電圧以上にあげるまでの操作は第1の読み出し方法と同様である。これにより、分極反転が起きない場合の接続部4の電位と、分極反転が起きた場合の接続部の電位は分極反転の電荷分だけ異なった電位となる。この差をドレインソース間に電圧を印加しドレイン電流の差を見ることで書き込まれたデータを判断する。このときWLに適当なバイアス電位を与えることも可能である。

【0021】データの読み出しが終了したら、この読み出しデータの再書き込みを行う。再書き込みの第1の方法は、DLを介して接続部4の電位の初期化を行った後、前述の通常の書き込みと同様の方法を用いて書き込みを行う。第2の方法は、分極反転の起こらなかったセルについては、単に通常の書き込み時になるであろう電位に接続部4の電位を設定するのみとし、分極反転の起こったセルについては、再度分極状態を反転させた後、通常にその分極状態に書き込まれた際になるであろう接続部の電位に接続部の電位を設定することによって再書き込みを行う。再書き込みの終了後、外部からのデータ

10

読み書きを許可する。電源をオフにしない限り、これ以降の読み出しは分極を壊さずに前述の立ち上げ処理後の電線オン状態での読み出し方法で行うことができる。このように、本発明によれば、電源をオフしたことにより接続部での電荷が失われても、強誘電体の分極を利用して書き込まれているデータを読み出して再書き込みを行うことにより、不揮発性メモリとして正常に動作させることが可能となる。

【0022】[リフレッシュ] 次に、本発明のリフレッシュ動作について説明する。前述したように、強誘電体の分極により電界効果トランジスタ2のゲート電極（接続部4）に蓄積された電荷は次第に失われ、そのため長時間経過するとデータの読み出しが困難となる。そこで、本発明の不揮発性メモリ装置には、リフレッシュ処理後の時間を測り、所定の時間経過後にセルのデータの読み出しと再書き込みを行い、この再書き込みが完了するまで外部からの読み書きを禁止する処理を行うリフレッシュ処理回路15が備えられている。

【0023】電源投入時の立ち上げ処理終了後に所定の時間経過すると、あるいは前回のリフレッシュ処理後に所定の時間経過すると、リフレッシュ処理が開始され、まず外部からの読み書きが禁止される。次いで、読み出しが行われるが、リフレッシュ時の読み出しは、先に説明した通常時の読み出し動作と同じである。

【0024】次に、リフレッシュ時の再書き込み方法の一例について説明する。まず、スイッチング素子3をオン状態に設定し、ワード線WLと電位付与配線DLの間に強誘電体を一定方向に分極させる電圧をかけ、その後DLにより接続部4に電圧を初期化電圧に設定した後、スイッチング素子3をオフする。次に、読み出したデータに従ってワード線WLと電界効果トランジスタ2の基板またはウェル5やビット線BLとの間に強誘電体容量素子1内の強誘電体を分極させる電圧を印加し、データの再書き込みを行う。もう一つの再書き込み方法（この方法は実際に書き込みを行うものではないが）は、リークにより接続部4より失われた電荷を補償する方法である。この方法は、通常の書き込みを行ったときになるはずの接続部4の電位を電位付与配線DLに与え、スイッチング素子3をオンにして接続部にこの電位を直接与えることによってリフレッシュを行うものである。このように、所定の時間経過毎にリフレッシュを行うことにより、電源オン状態で接続部の電荷が時間とともに減少してしまう場合においても確実に読み出しを行うことが可能となる。なお、リフレッシュは必ずしも一定時間毎に行う必要はなく、読み出しが困難となる前にリフレッシュを完了することができればいつ開始してもよい。

【0025】

【実施例】

【第1の実施例】図4は、本発明の第1の実施例の主要部の回路図である。図4の点線内は複数のセルで構成さ

(7)

特開平9-326200

11

れたセルアレイを示しており、図4では説明のため4つのセルの場合を示した。左上のセルをセルA、左下をセルB、右上をセルC、右下をセルDと表現する。各のセルは強誘電体容量素子（FA～FD）と、ゲートが強誘電体容量素子の下部電極に接続された第1のMOSFET（TA1～TD1）と、この接続部（CA～CD）にソースが接続された第2のMOSFET（TA2～TD2）と、第1のMOSFETのドレインにソースが接続された第3のMOSFET（TA3～TD3）からなる。

【0026】セルはマトリックス状に配置されており、ワード方向とビット方向と呼ばれる二つの軸で一つのセルを特定できる。図4では横方向をワード方向、縦方向をビット方向と呼ぶ。第1のビット線Bと第2のビット線Dはビット方向のセルに共通しており、図4では左の列のセル群をビット0と呼び、ビット0のビット線B、ビット線DをそれぞれB0、D0、右の列をビット1と呼び、ビット1の第1、第2のビット線B、DをB1、D1と表現する。ワード線F、制御線C、補助ワード線Wは、ワード方向のセルに共通しており、図4では上の行のセル群をワード0と呼び、ワード0の配線をそれぞれF0、C0、W0、下の行をワード1と呼び、ワード1の配線をF1、C1、W1と表現する。強誘電体容量素子の第1のMOSFETのゲートと接続されていない側の電極はワード線F0、F1に接続されている。第1のMOSFETのソースは接地されている。第1のビット線B0、B1は、リファレンス線RBとともに差動センサンプSB0、SB1に接続されており、第2のビット線D0、D1は、リファレンス線RDとともに差動センサンプSD0、SD1に接続されている。第2のMOSFETのゲートは制御線Cに、またドレインは第2のビット線Dに接続されている。第3のMOSFETのゲートは補助ワード線Wに、ドレインは第1のビット線Bに接続される。

【0027】【書き込み】書き込みはワード単位で行う。ワード0のセルにデータを書き込む場合について説明する。電源電圧をVDDと表現する。TA2、TC2がオフになるように制御線C0の電位を設定する。ワード線F0を接地レベルに設定し、B0、B1にそれぞれ書き込みたいデータに相当する電位レベル（VDD、または接地レベル）を与える。W0をTA3、TC3がオンになる電位に設定したのち、F0の電位を一度VDDに上げてまた接地レベルに戻す。すると、F0が接地レベルのときかVDDのときかどちらかでTA1のドレインとF0、TC1のドレインとF0の間に電圧がかかりこれによりデータに相当する向き分極を強誘電体容量素子FA、FCに起こすことができる。このとき強誘電体容量素子にかかる電圧が分極を起こすのに十分な大きさになるよう強誘電体特性およびVDDを設定する。また、本実施例では読み出しの時、ワード線Fを接地レベ

12

ルに設定した状態で分極によるドレイン電流変化を検出しているため、この状態でドレイン電流が分極方向により大きく変化するようトランジスタのしきい値の設定や強誘電体特性の設定を行う。

【0028】その後、TA3、TC3をオフにするように補助ワード線W0の電位を設定すれば強誘電体容量素子FA、FCは分極したままとなる。書き込みを行わないワード1においては、F1を接地レベル、C1をTB2、TD2をオフにする電位、W1をTB3、TD3をオフにする電位に設定することで、他のワードに書き込みを行っている間強誘電体容量素子FB、FDの分極を壊さず、また接続部CB、CDの電荷を保持できる。

【0029】【読み出し】次に、電源立ち上げ処理後のデータ読み出し動作について説明する。図4の左上および右上のセルのデータを読み出す場合を例に説明する。読み出しもワード単位で行う。立ち上げ処理後あるいは前回のリフレッシュ処理後、制御線C0の電位はTA2、TC2がオフになる電位に保持されている。ワード線F0を接地レベルに設定し、B0、B1を強誘電体容量素子に印加したとしても分極が反転しない程度の電圧（例えば0.1V）に設定する。W0をTA3、TC3がオンになる電位に設定すると、TA1、TC1は強誘電体容量素子の分極により書き込まれたデータに相当するしきい値変化が起きているためそれぞれのデータに従うドレイン電流が流れる。このためB0、B1の電位は、この電流値と電圧供給側の内部抵抗とTA1やTC1の抵抗で決まる値、すなわち書き込まれたデータに従った値を示す。

【0030】データに応じた2つの電位の間となる電圧をリファレンス線RBに与えB0、B1の電位とRBのリファレンス電位を差動センサンプSB0、SB1に入力し比較することでセルA、セルCに記憶されたデータがそれぞれ“1”、“0”のいずれであるかを判別することができる。読み出しを行わないワード1はF1を接地レベル、C1をTB2、TD2をオフにする電位、W1をTB3、TD3をオフにする電位に設定する。これにより強誘電体容量素子FB、FDの分極が破壊されることがないようにすることができ、また接続部CB、CDの電荷を保持することができる。

【0031】【立ち上げ処理】次に、電源オフ状態から立ち上げるときの立ち上げ処理について説明する。立ち上げ処理では、データの読み出しと再書き込みが行われるが、これが完了するまで外部からのデータの読み書きは禁止する。立ち上げ処理の読み出し方法について説明する。読み出しはワード単位で行う。TA2、TC2がオフするように制御線C0の電位を設定する。ワード線F0の電位を接地レベルに設定し、補助ワード線W0をTA3、TC3がオフになる電位に設定する。D0、D1を接地レベルに設定し、TA2、TC2をオンさせて接続部の電位を接地レベルに設定した後、D0、D1を

(8)

特開平9-326200

13

フローティング状態とする。この状態で、ワード線F0の電位をVDDに上げるとD0、D1の電位が強誘電体容量と配線容量との関係で決まる値に変化する。F0の電位を上げたとき、強誘電体容量素子の強誘電体膜は直前の分極の向きにより分極反転を起こす場合と起こさない場合とがあるため、D0、D1の電位は、強誘電体容量素子に書き込まれていたデータにより2つの値を示す。2つの電位の中間となる電位をリファレンス線RDに与え、この電位とD0、D1の電位とを差動センスアンプSD0、SD1に入力し比較することによりセルA、セルCに記憶されていたデータがそれぞれ“1”、“0”のいずれであったのかを判別する。読み出しを行わないワード1においては、F1を接地レベル、C1をTB2、TD2をオフにする電位、W1をTB3、TD3をオフにする電位に設定する。これにより、強誘電体容量素子FB、FDの分極を壊さないようにすることができ、また接続部の電荷を保持させることができる。

【0032】この読み出しは強誘電体分極を破壊して行われるため、データの書き込みが必要である。書き込みを行う方法について2例を説明する。第1の方法は、第1のビット線Bに書き込みデータを与える方法である。第2のビット線Dによるデータ読み出しの完了後、そのデータを一時的に記憶する。D0、D1にある電位を与え接合部CA、CCを同じ電位にした後、C0の電位を操作してTA2、TC2をオフにし、接合部CA、CCをフローティング状態にする。F0の電位を接地レベルに設定した後、読み出されたセルA、セルCのデータ(VDD、または接地レベル)をB0、B1に与え、TA3、TC3をオンにする。次に、F0の電位を一旦VDDにまで引き上げ、その後再び接地レベルにまで落す。第2の方法は、データ読み出し時に強誘電体容量素子の反転分極の行われたセルについてのみ分極の反転を行う方法である。データ読み出しの終了した時点ではF0側に高い電圧をかけた向きに強誘電体容量素子は分極している。そこで、元々のデータがこの向きの分極である場合には単に接合部の電位を通常の書き込みを行ったときに接続部に現れる電位に強制的に設定するのみとする。具体的にセルAにこの処理を行う場合、電源オン状態で通常の書き込みを行ったときに接合部に保持される電位を測定やシミュレーションにより求め、その電位を第2のビット線D0に与え、TA2を一度オンにしてまたオフにすることにより接続部を書き込み後の状態と同じにする。読み出しにより分極反転が起きた場合は、分極の方向を逆に戻した後、接続部の電位を通常の書き込み後の値に設定する。具体的にセルAにこの処理を行う場合は、ワード線F0を接地レベルとし、第2のビット線D0をVDDに設定しTA2をオンにすることで強誘電体の分極を逆向きに設定した後、D0の電位を書き込み後の電位と同じ値に変化させてからTA2をオフにする。立ち上げ処理の読み出しと書き込みが終

14

了した後、外部からのデータの読み書きを許可する。

【0033】[リフレッシュ]リフレッシュ処理回路は、前回リフレッシュを実行してからの経過時間をカウントし、所定の時間を越えると次のリフレッシュを促す信号を発生する。リフレッシュが開始されてから書き込みが完了するまでは外部から読み書きができないように制御する。次に、先に説明した電源オン状態での読み出し方法により記憶データを読み出しこれを一時記憶しておく。このデータを書き込むために、まず、強誘電体容量素子FA、FCの分極方向を一定方向に揃える。例えば、F0をVDDに、D0、D1を接地レベルに設定し、TA2、TC2をオンして、ワード0のセルの分極状態を一様にする。

【0034】次に、F0の電位を接地レベルとし、D0、D1の電位を所望の初期値に設定した後、TA2、TC2をオフして接続部CA、CCをフローティング状態とする。その後、B0、B1にそれぞれのセルに書き込むデータに対応した電圧(VDDまたは接地レベル)に設定し、TA3、TC3をオンする。この状態で、F0を一旦VDDに引き上げ、その後接地レベルに落として書き込みを行う。リフレッシュ時の読み出しは、破壊読み出しではないため、書き込みを行うことなく接続部から失われた電荷を補償するのみで済ますこともできる。その場合には、D0、D1に正常に書き込みが行われたときに分極方向に応じて接続部CA、CCに現れる電位をD0、D1に与え、TA2、TC2をオンさせた後に、オフとし、接続部CA、CCの電位を書き込みを行った直後の電位に復帰させる。なお、本実施例において、第1のビット線Bと第2のビット線Dは同時に使用されることがないため、同一配線とすることが可能である。この場合、配線を簡素化できるという利点と差動センスアンプを半減させることができるという利点がある。

【0035】[第2の実施例]図5は、本発明の第2の実施例の主要部の回路図である。図5の点線内は複数のセルで構成されたセルアレイを示しており、図5では説明のため4つのセルの場合を示した。左上のセルをセルA、左下をセルB、右上をセルC、右下をセルDと表現する。各セルは強誘電体容量素子(FA~FD)と、ゲートが強誘電体容量素子の一方の電極と接続された第1のMOSFET(TA1~TD1)と、この接合部(CA~CD)にソースが接続された第2のMOSFET(TA2~TD2)を有する。

【0036】セルはマトリックス状に配置されており、ワード方向とビット方向と呼ばれる二つの軸で一つのセルを特定できる。図5では横方向をワード方向、縦方向をビット方向と呼ぶ。第1のビット線Bと第2のビット線Dはビット方向のセルに共通になっており、図5では左の列のセル群をビット0と呼び、ビット0のビット線B、DをそれぞれB0、D0、右の列をビット1と呼

15

び、ビット1のビット線をB1、D1と表現する。制御線C、ワード線Fはワード方向のセルで共通になっており、図5では上の行のセル群をワード0と呼び、ワード0の配線をそれぞれC0、F0、下の行をワード1と呼び、ワード1の配線をC1、F1と表現する。強誘電体容量素子の第1のMOSFETのゲートと接続されていない側の電極はワード線F0、F1に接続されている。第1のMOSFETのソースは接地され、ドレインは第1のビット線B0、B1に接続されている。第2のMOSFETのゲートは制御線Cに、またドレインは第2のビット線D0、D1に接続されている。第1のビット線B0、B1はリファレンス線RBとともに差動センスアンプSB0、SB1に接続されている。

【0037】【書き込み】この実施例でも書き込みおよび読み出しはワード単位で行う。ワード0のセルにデータを書き込む場合について説明する。TA2、TC2がオフになるよう制御線C0の電位を設定する。ワード線F0の電位を接地レベルに設定し、B0、B1にそれぞれ書き込みたいデータに相当する電位レベル(VDD、または接地レベル)を与える。F0の電位を一度VDDにあげてきた接地レベルに戻し、続いてB0、B1も接地レベルに落とす。この処理により、F0が接地レベルのときかVDDのときかのどちらかでTA1のドレインとF0、TC1のドレインとF0の間に電圧がかかりこれによりデータに相当する向きに分極を強誘電体容量素子FA、FCに起こすことができる。

【0038】また、図5の実施例では、読み出しの時、ワード線Fに読み出し電圧を加えたときに分極によるドレイン電流変化を利用するため、その状態でドレイン電流が分極方向により大きく変化する。またワード線Fが接地レベルでは分極がどちら向きであってもドレイン電流の差が小さくなるようにトランジスタのしきい値の設定、強誘電体特性の設定を行う。書き込みを行わないワード1はF1をVDD/2、C1をTB2、TD2をオフにする電位に設定することで、他のワードに書き込みを行っている間、強誘電体容量素子FB、FDの分極状態および接続部CB、CDの電荷を保存できる。

【0039】【読み出し】立ち上げ処理後のデータ読み出しについて説明する。例としてワード0のセルのデータを読み出す場合について説明する。TA2、TC2がオフになるようC0の電位を設定する。F0を読み出し電圧に設定し、B0、B1を強誘電体容量素子に印加したとしても分極が反転しない程度の電圧(例えば、1V)に設定する。TA1、TC1は強誘電体容量素子の分極により書き込まれたデータに相当するしきい値変化が起きているためそれぞれのセルのデータに従うドレイン電流が流れる。

【0040】このためB0、B1の電位は電圧供給源の内部抵抗とTA1やTC1の抵抗で決まる値となり、つまり書き込まれたデータにより異なる2つの値を示す。

(9)

特開平9-326200

16

この2つの電位の間となる電圧をリファレンス線RBに与えB0、B1の電位とRBのリファレンス電位を差動センスアンプSB0、SB1に入力し比較することでセルA、セルCの記憶データがそれぞれ“1”、“0”のいずれであるのかが判別できる。読み出しを行わないワード1はF1を接地レベル、C1をTB2、TD2をオフにする電位に設定する。これにより、他のセルについて読み出しを行っているときに強誘電体容量素子FB、FDの分極が壊されたり、接続部CB、CDの電荷が失われたりすることのないようにすることができる。

【0041】【立ち上げ処理】次に、電源オフ状態から立ち上げるときの立ち上げ処理について説明する。立ち上げ処理ではデータの読み出しと、再書き込みを行い、再書き込みが完了するまで外部からのデータの読み書きを禁止する。このときの読み出しはワード単位で行う。外部からの読み書きを禁止する処理を行った後、TA2、TC2がオフになるように制御線C0の電位を設定する。ワード線F0を接地レベルに設定する。第2のビット線D0を接地レベルに設定してからTA2、TC2がオンになる電位にC0を設定し、接続部CA、CCを接地レベルに設定する。

【0042】その後、TA2、TC2をオフにするようにC0の電位を設定する。F0をVDDにあげると強誘電体容量素子の分極の向きにより分極反転を起こす場合と起こさない場合があるため、接続部CA、CCの電位は強誘電体容量素子に書き込まれたデータにより2つの値を示す。ワード線F0に立ち上げ時の読み出し電圧を印加し、第1のビット線Bに0、1V程度の電圧を印加し、ビット線Bが分極方向によってとる2つの電位の間となる電圧をリファレンス線RBに与えB0、B1の電位とRBのリファレンス電位を差動センスアンプに入力し比較することでセルA、セルCに記憶されていたデータを判別する。読み出しを行わないワード1はF1を接地レベル、C1をTB2、TD2をオフにする電位に設定することで強誘電体容量素子FB、FDの分極を壊さないようにする。

【0043】この読み出しは強誘電体分極を破滅して読み出すため、データの再書き込みが必要である。再書き込みの1番目の方法は、データ読み出しの完了後、ワード線F0を接地電位とし、TA2、TC2をオンとした状態でD0、D1にある電位(初期化電圧)を与え、接続部CA、CCを同じ電位にした後C0の電位を変え、TA2、TC2をオフにして接続部をフローティングにする。この後、F0の電位を接地レベルに設定して読み出されたデータを該当するビット線Bに印加し、F0をVDDに一旦引き上げ次いで接地電位に落として書き込みを行う。再書き込みの2番目の方法は、立ち上げ時の読み出しの際に分極が反転した強誘電体に対してのみ再度分極の反転を行い、接続部CA、CCの電荷の補償は分極反転のあったセルについてもなかったセルについて

30

40

50

(10)

特開平9-326200

17

も行う方式である。

【0044】読み出した時点では全ての強誘電体容量素子はF0側に高い電圧をかけた向きに分極している。このため元々のデータがこの向きの分極である場合は接合部の電位を通常の書き込みでなすはずの電位に強制的にすればよい。一方、読み出しにより分極反転が起きた場合は、分極の方向を逆に戻した後、接合部の電位を通常の書き込み後の値に設定する。ここで、セルAでは反転が起こり、セルCでは起こらなかったものとする。この場合は、ワード線F0を接地電位にし、第2のビット線D0をVDDに設定しTA2をオンにすることで強誘電体容量素子FAの分極を逆向きにする。その後、D0とD1の電位をそれぞれの書き込み後の電位と同じ値に変化させてからC0の電位を操作することによりTA2、TC2をオン/オフさせ、それぞれのセルを書き込み後と同じ状態にする。書き込み処理終了後、外部からの読み書きの禁止を解除して、立ち上げ処理を終了する。

【0045】【リフレッシュ】リフレッシュ処理回路は、前回実行してからの経過時間をカウントし、所定の時間を経過すると、次のリフレッシュを促す信号を発生する。そして、リフレッシュが開始されてから書き込みが完了するまでは外部から読み書きができないように制御する。次に、先に説明した電源オン状態での読み出し方法により記憶データを読み出しこれを一時記憶しておく。このデータを書き込むために、まず、強誘電体容量素子FA、FCの分極方向を一定方向に揃える。例えば、F0をVDDに、D0、D1を接地レベルに設定し、TA2、TC2をオンして、ワード線のセルの分極状態を一掃にする。

【0046】次に、F0を接地レベルとし、D0、D1の電位を予め定められた初期値に設定した後、TA2、TC2をオフして接続部CA、CCをフローティング状態とする。その後、B0、B1にそれぞれのセルに書き込むデータに対応した電圧(VDDまたは接地レベル)に設定する。この状態で、F0を一旦VDDに引き上げ、その後接地レベルに落として書き込みを行う。リフレッシュ時の読み出しは、破壊読み出しではないため、書き込みを行うことなく接続部から失われた電荷を補償するのみで済ますこともできる。その場合には、D0、D1に正常に書き込みが行われたときに分極方向に応じて接続部CA、CCに現れる電位をD0、D1に与え、TA2、TC2をオンさせた後に、オフとし、接続部CA、CCの電位を通常の書き込みを行った直後の電位に復帰させる。なお、本実施例においても、第1のビット線Bと第2のビット線Dは同時に使用されることがないため、同一配線とすることが可能である。これにより、配線を簡素化することができる。

【0047】

【発明の効果】以上説明したように、本発明の不揮発性半導体メモリ装置は、電源オフにより失われた強誘電体

18

の分極により誘起された電荷を電源投入時に補償するものである。電源オフにより記憶データが消えることがなく、電源投入後には、電源オフ前の記憶データを利用することが可能になる。また、一定時間経過以内に記憶データをリフレッシュするものである。書き込み後長時間が経過しても信頼性高くデータを読み出すことが可能になる。

【図面の簡単な説明】

【図1】本発明の実施の形態を説明するためのメモリセルの回路図。

【図2】本発明の実施例において用いられるスイッチング素子である電界効果トランジスタの断面図。

【図3】本発明の実施の形態を説明するためのブロック図。

【図4】本発明の第1の実施例を説明するためのメモリセル部の回路図。

【図5】本発明の第2の実施例を説明するためのメモリセル部の回路図。

【図6】従来技術の半導体装置の断面図。

【図7】従来技術の半導体装置の断面図。

【図8】従来技術の半導体装置の断面図。

【図9】従来技術の不揮発性メモリ装置の回路図。

【符号の説明】

- 1 強誘電体容量素子
- 2 電界効果トランジスタ
- 3 スwitchング素子
- 4 強誘電体容量素子と電界効果トランジスタのゲートとの接続部
- 5 基板またはウェル
- 6 拡散層
- 9 メモリセルアレイ
- 10 電位付与回路
- 11 データ判別回路
- 12 入出力制御回路
- 13 立ち上げ処理回路
- 14 データ識別回路
- 15 リフレッシュ処理回路
- 18 p型シリコン基板
- 19 n型ソース領域
- 20 n型ドレイン領域
- 21 ソース電極
- 22 ドレイン電極
- 23 酸化シリコン膜
- 24 多結晶シリコン膜
- 25 32、34、42 強誘電体膜
- 26 ゲート電極
- 27 オーミック電極
- 29 p型シリコンウェル
- 30 n'型ドレイン領域
- 31 n'型ソース領域

特開平9-326200

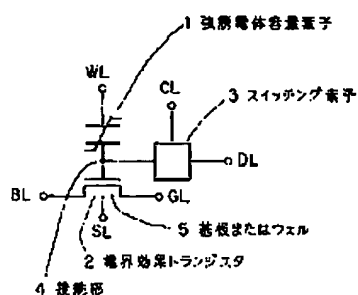
19

25

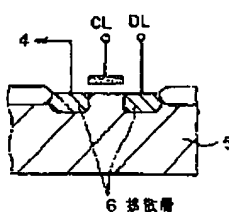
- 33 白金属
- 35 ゲート白金属
- 36 チャネル領域
- 37 p型GaAs基板
- 38 n型ソース領域
- 39 n型ドレイン領域
- 40 n⁺ 拡散層

- * 4 1 導電性膜
- 4 3 ゲート上部電極
- C L コントロールライン
- D L 電位付与配線
- G L 共通電位線
- S L 基板電位線
- W L ワード線

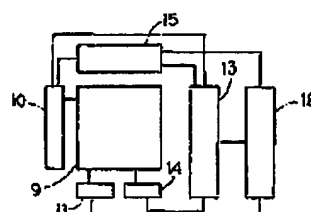
【圖 1】



【圖2】

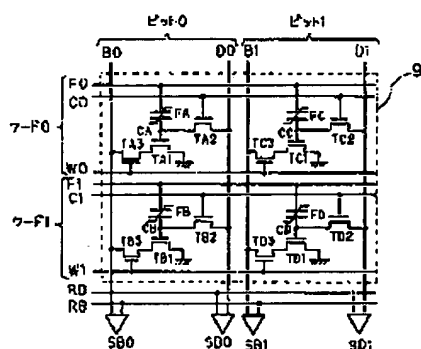


【圖3】

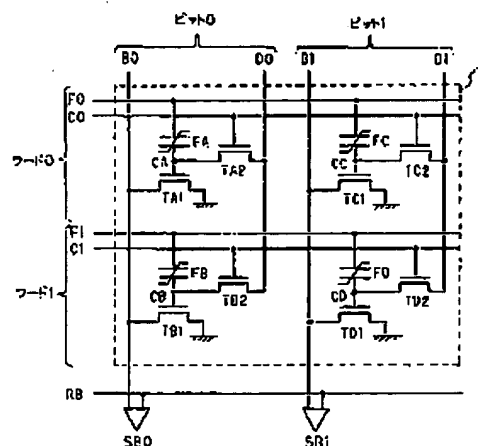


9…メモリセルアレイ
10…駆動付与回路
11…データ判別回路
12…入出力制御回路
13…立ち上げ処理回路
14…データ選択回路
15…リフレッシュ処理回路

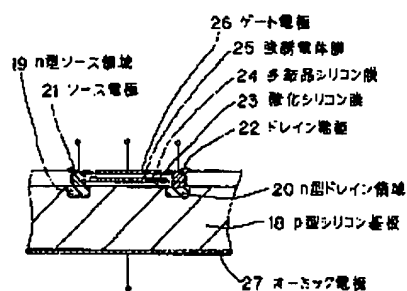
【圖4】



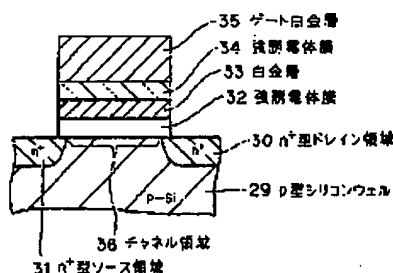
【圖5】



【圖6】



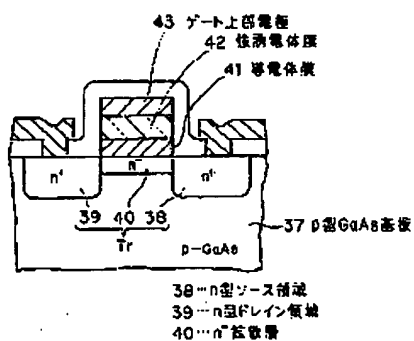
【图7】



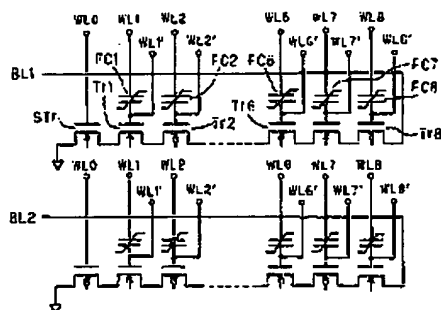
(12)

特開平9-326200

【図8】



【図9】



フロントページの続き

(51)Int.Cl.[°]

H01L 29/788

29/792

識別記号

片内整理番号

F I

技術表示箇所